

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-163950

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

G11C 11/15
G11C 11/14
// H01L 43/08

(21)Application number : 11-327740

(71)Applicant : INFINEON TECHNOLOGIES AG

(22)Date of filing : 18.11.1999

(72)Inventor : BERG HUGO VAN DEN DR

(30)Priority

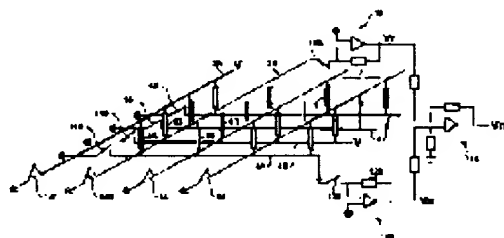
Priority number : 98 19853447 Priority date : 19.11.1998 Priority country : DE

(54) MAGNETIC MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid the occurrence of time loss by deciding the logical data contents of a memory cell according to a magnetic state, applying a read-out voltage to a word line of the memory cell for reading out the data contents with an addressing circuit, detecting a signal suited to the data contents of the selected memory cell and valuating it.

SOLUTION: All sense lines 4 and word lines 3 which do not participate in measurement/detection are grounded through closed grounding switches 14, and a read-out voltage V is applied to a word line 3A and a sense line 4B. The signal of a memory cell 1A to be read out is led to a sense line amplifier circuit 12 connected to a read-out switch 12B through the sense line 4A. A memory cell 1B existing on the sense line 4A of the memory cell 1A to be read out is set up in imaginary manner by a reference amplifier circuit 18 and the input side of the sense line amplifier circuit 12 on both sides, and does not act unfavorably on the signal of a reference element 1R.



LEGAL STATUS

[Date of request for examination]

06.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-163950
(P2000-163950A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 1 1 C 11/15		G 1 1 C 11/15	
11/14		11/14	Z
// H 0 1 L 43/08		H 0 1 L 43/08	Z

審査請求 未請求 請求項の数29 O L (全 13 頁)

(21)出願番号 特願平11-327740

(22)出願日 平成11年11月18日(1999.11.18)

(31)優先権主張番号 1 9 8 5 3 4 4 7. 7

(32)優先日 平成10年11月19日(1998.11.19)

(33)優先権主張国 ドイツ (D E)

(71)出願人 599158797

インフィネオン テクノロジース アクチ
エンゲゼルシャフト

ドイツ連邦共和国 ミュンヘン ザンクト
マルティン シュトラーセ 53

(72)発明者 ヒューゴ ファン デン ベルク

ドイツ連邦共和国 ヘルツォーゲナウラッ
ハ ドクトル ダスラー-シュトラーセ
4

(74)代理人 100061815

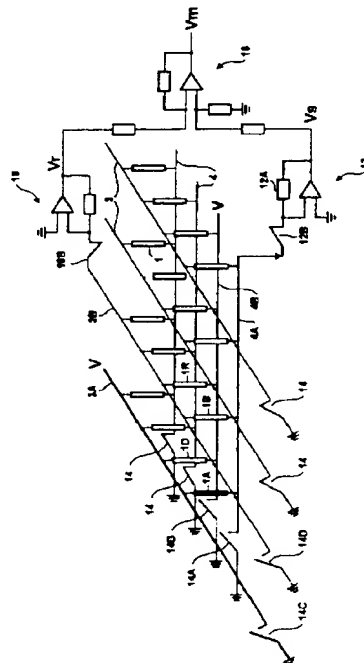
弁理士 矢野 敏雄 (外3名)

(54)【発明の名称】 磁氣的メモリ

(57)【要約】

【課題】 順次連続する過程または方法に起因する情報の再書き込みによる時間損失が発生せず、メモリセルの固有インピーダンスが製造に起因して変動することにデータ処理が依存しないような磁氣的メモリを提供する。

【解決手段】 評価回路は比較回路を有し、該比較回路によって、基準素子から送出された基準信号が読み出すべきメモリセルのセンス信号と比較されるように構成する。



【特許請求の範囲】

- 【請求項1】 任意アクセス可能な磁氣的メモリ（NRAM）であって、メモリセルフィールド（11）と、ワード線路（3）に配属されたアドレッシング回路と、センス線路（4）に配属された評価回路とを有し、前記メモリセルフィールドは、ワード線路（3）とセンス線路（4）との交点にマトリクス状に配置された多数のメモリセル（1）からなり、前記メモリセルの論理的データ内容は磁氣的状態によって定められ前記アドレッシング回路によって、データ内容を読み出すべき選択された1つまたは複数のメモリセル（1）のワード線路（3）には読み出し電圧（V）が印加され、前記評価回路によって、選択されたメモリセルのデータ内容に相應する信号が検出され、評価される形式の磁氣的メモリにおいて、前記評価回路は比較回路（16）を有し、該比較回路によって、基準素子から送出された基準信号（V_r）を読み出すべきメモリセルのセンス信号（V_s）と比較される、ことを特徴とする磁氣的メモリ。
- 【請求項2】 スイッチ（14）が設けられており、該スイッチによってワード線路（3）およびセンス線路（4）は個別にアースと接続される、請求項1記載の磁氣的メモリ。
- 【請求項3】 選択されたメモリセルおよび基準セルは少なくとも片側で仮想的に接地されている、請求項1または2記載の磁氣的メモリ。
- 【請求項4】 比較回路（16）は、センス信号（V_s）と基準信号（V_r）との差信号を送出する、請求項1から3までのいずれか1項記載の磁氣的メモリ。
- 【請求項5】 基準素子の電氣的ないし磁氣的特性はメモリセルの電氣的ないし磁氣的特性に適合している、請求項1から4までのいずれか1項記載の磁氣的メモリ。
- 【請求項6】 基準素子（17）はメモリセルフィールド（11）外に配置されており、基準素子の電氣的ないし磁氣的特性は可変調整可能である、請求項1から5までのいずれか1項記載の磁氣的メモリ。
- 【請求項7】 基準素子（17）は基準増幅回路（18）と接続されている、請求項1から6までのいずれか1項記載の磁氣的メモリ。
- 【請求項8】 メモリセルフィールドは複数の異なるセル領域（19）に分割されており、該セル領域は近似的に同じ電氣的ないし磁氣的特性を有する関連のメモリセルからなり、各セル領域に適合された基準信号または固有の基準信号が配属されている、請求項1から7までのいずれか1項記載の磁氣的メモリ。
- 【請求項9】 基準素子はメモリセルフィールドのメモリセル（1）（基準セル）によって構成されている、請求項1から8までのいずれか1項記載の磁氣的メモリ。

【請求項10】 基準セル（1R）の信号は、センス線路（4）を介して基準増幅回路（18）と接続されている、請求項9記載の磁氣的メモリ。

【請求項11】 メモリセルフィールドのメモリセルによって構成された基準素子（1R）は、読み出すべきメモリセル（1A）に隣接するワード線路（3）および/またはセンス線路（4）に接続している、請求項9または10記載の磁氣的メモリ。

【請求項12】 基準セル（1R）のワード線路（3）は基準増幅回路（18）と接続されている、請求項9および11記載の磁氣的メモリ。

【請求項13】 読み出すべきメモリセル（1A）に隣接して配置された複数の基準セルが設けられている、請求項12記載の磁氣的メモリ。

【請求項14】 基準セルは、基準増幅回路（18）と共通に接続されている、請求項13記載の磁氣的メモリ。

【請求項15】 基準セルには、例えば読み出すべきメモリセルと同様に別の電圧レベルが印加される、請求項13または14記載の磁氣的メモリ。

【請求項16】 比較回路（16）は差動増幅器（16A）によって構成されており、

該差動増幅器には抵抗（16B）が配属されており、該抵抗の一方の端部は、差動増幅器の一方の入力側と、他方の端部は差動増幅器の出力側と接続されており、前記差動増幅器の入力側には抵抗が前置接続されている、請求項1から15までのいずれか1項記載の磁氣的メモリ。

【請求項17】 比較回路（16）には一方では、基準素子（17）または基準セル（1R）の信号を基準信号（V_r）に生成するための基準増幅回路（18）が前置接続されており、他方ではセンス線路増幅回路（12）が前置接続されており、

該センス線路増幅回路は読み出すべきメモリセル（1A）の信号をセンス信号（V_s）に生成する、請求項1から16までのいずれか1項記載の磁氣的メモリ。

【請求項18】 基板（2）にワード線路（4）が設けられており、

該ワード線路には、第1の磁氣材料層（5）、磁氣的トンネルバリア層（6）、および第2の磁氣材料層（7）が設けられており、

前記ワード線路に交差してセンス線路（4）が設けられている、ことを特徴とする磁氣的メモリセル。

【請求項19】 第1の磁氣材料は第2の磁氣材料よりも磁氣的に軟磁性である、請求項18記載の磁氣的メモリセル。

【請求項20】 第1の形式の磁氣層（8）は磁氣基準層を、第2の形式の磁氣層（10）は情報担体層を形成する、請求項18または19記載の磁氣的メモリセル。

【請求項21】 メモリセルは、第1の形式の磁氣層

(8)、分離層(9)。第2の形式の磁気層(10)、分離層、およびそれら構成の繰り返しである層シーケンスによって構成されており、評価層シーケンスは交差するセンス線路(4)とワード線路(3)との間に配置されている、ことを特徴とする磁気的メモリセル。

【請求項22】 第1の形式の磁気層(8)は第2の形式の磁気層(10)よりも磁気的に軟磁性である、請求項21記載の磁気的メモリセル。

【請求項23】 第1の形式の磁気層(8)は磁気基準層を形成し、第2の形式の磁気層(10)は情報担体層を形成する、請求項21または22記載の磁気的メモリセル。

【請求項24】 任意アクセス可能な磁気的メモリ(MRAM)の読み出し方法であって、該磁気的メモリは、メモリセルフィールド(11)と、ワード線路(3)に配属されたアドレッシング回路と、センス線路(4)に配属された評価回路とを有し、前記メモリセルフィールドは、ワード線路(3)とセンス線路(4)との交点にマトリクス状に配置された多数のメモリセル(1)からなり、前記メモリセルの論理的データ内容は磁気的狀態によって定められ前記アドレッシング回路によって、データ内容を読み出すべき選択された1つまたは複数のメモリセル(1)のワード線路(3)には読み出し電圧(V)が印加され、前記評価回路によって、選択されたメモリセルのデータ内容に相応する信号が検出され、評価される形式の磁気的メモリの読み出し方法において、基準素子から送出された基準信号(Vr)を読み出すべきメモリセルのセンス信号(Vs)と比較する、ことを特徴とする読み出し方法。

【請求項25】 基準素子の基準信号(Vr)を記憶し、メモリセルのメモリ内容のさらなる検出の際に、記憶された基準信号を読み出すべきメモリセルのセンス信号と比較する、請求項24記載の方法。

【請求項26】 読み出すべきメモリセルに隣接して配置された複数の基準素子の信号を評価する、請求項24または25記載の方法。

【請求項27】 複数の基準素子の信号を共通に基準増幅回路(18)によって評価する、請求項26記載の方法。

【請求項28】 基準セルに、読み出すべきメモリセルと同様に別の電圧レベルを印加する、請求項24または27記載の方法。

【請求項29】 基準素子は、磁気基準層、トンネルバリアおよび情報担体層の層シーケンス、または磁気基準層、分離層、情報担体層および分離層の層シーケンス、およびそれら構成の繰り返しから成り、

メモリセルとして構成された前記基準素子の磁気基準層の磁化方向を、基準信号(Vr)とセンス信号(Vs)との比較の間に、情報担体層の磁化方向に対して垂直に配向する、請求項24から28までのいずれか1項記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、任意アクセス可能な磁気的メモリであって、メモリセルフィールドと、ワード線路に配属されたアドレッシング回路と、センス線路に配属された評価回路とを有し、前記メモリセルフィールドは、ワード線路とセンス線路との交点にマトリクス状に配置された多数のメモリセルからなり、前記メモリセルの論理的データ内容は磁気的狀態によって定められ前記アドレッシング回路によって、データ内容を読み出すべき選択された1つまたは複数のメモリセルのワード線路には読み出し電圧が印加され、前記評価回路によって、選択されたメモリセルのデータ内容に相応する信号が検出され、評価される形式の磁気的メモリに関する。

【0002】

【従来の技術】このようなマトリクス編成の磁気的メモリ(MRAM)では、データ情報が磁化方向の開状態でワード線路とセンス線路との交点に配置された磁気的メモリセルの情報担体層に含まれる。メモリセルを読み出すために、センス線路またはワード線路(以下、常にワード線路とする)に読み出し電圧が印加され、ワード線路またはセンス線路を介して、メモリ状態を反映するメモリセルのインピーダンスによって変化する信号が、配属されたワード線路増幅回路またはセンス線路増幅回路によって評価される。

【0003】メモリセルのインピーダンスにおける、情報内容("1"または"0")による相対差(抵抗変化率)はここでは典型的には20%である。これは比較的小さな値である。さらに、他のすべてのメモリセルが読み出すべきメモリセルに対して並列路を形成し、従って大きな寄生インピーダンスを形成しているため、インピーダンス差の検出がますます困難になる。この寄生インピーダンスは、読み出すべきメモリセルのインピーダンス差の作用をすでにワード線路当たり約100素子ある場合にほとんど減衰してしまう。そしてこのようにしてセンス線路を介して取り出され、後から評価回路により分析される信号(センス信号)に不利に作用する。

【0004】製造に起因して磁気的メモリの場合は、メモリセルの固有インピーダンスの変動がチャージ、ウェハ、および個々の磁気的メモリのメモリセルフィールド内に発生する。そのため、固有インピーダンスの測定を読み出すべきメモリセルのメモリ状態の検出には使用できない。

【0005】これまで公知の、メモリセルのメモリ内容を検出する手段は次のとおりである：所属のワード線路

およびセンス線路を作動し、読み出し電圧をメモリセルに印加し、メモリセルの信号を評価することにより、メモリセルを読み出す。このようにして得られた測定信号は、例えば容量的に中間記憶される。これに基づいて、メモリセルを新たに既知の値（“1”または“0”）により書き込み、再び読み出す。そして新たな測定信号を中間記憶された測定信号と比較し、これにより実際のメモリ状態を検出する。ここでの欠点は明らかに、この手段が複数のステップにかかるとである。

【0006】別の公知の手段では、メモリセル内にある磁気基準層が使用される。ここでも、永久的磁気基準層と可変的磁気基準層とを区別することができる。永久的磁気基準層には、上に述べた固有インピーダンスの変動という同じ問題が発生するから、ここでは詳細には考慮しない。磁氣的配向において、可変的磁気基準層は、メモリセルを読み出すため、ワード線またはセンス線路を通る電流によって所定の方法で磁氣的に配向することができる（基準方向）。配向の方法変化、およびこれには固有インピーダンスの変化が、この場合、固有インピーダンス値の代わりに評価される。情報担体層の磁化方向（これは情報内容と等価である）はここでも得ることができる。比較的軟磁性的な基準層が反転磁化される。基準層が強磁性層であり、情報担体層が切り替えられるメモリも使用できる。

【0007】これまで公知のすべての方法およびメモリは、メモリセルの情報の読み出しが順次連続する過程によって行われるという欠点がある。このためにかかる時間コストが大きい。

【0008】

【発明が解決しようとする課題】本発明の課題は、順次連続する過程または方法に起因する情報の書き込みによる時間損失が発生せず、メモリセルの固有インピーダンスが製造に起因して変動してしまうことがデータ処理に影響を与えないような磁氣的メモリを提供することである。

【0009】

【課題を解決するための手段】この課題は冒頭に述べた磁氣的メモリにおいて、評価回路は比較回路を有し、該比較回路によって、基準素子から送出された基準信号が読み出すべきメモリセルのセンス信号と比較されるように構成して解決される。

【0010】

【発明の実施の形態】本発明では、評価回路が比較回路を有し、この比較回路によって基準素子から送出された基準信号が選択されたメモリセルのセンス信号と比較される。

【0011】本発明では、読み出し過程が、ウェハまたはチャージの固有インピーダンスの変動による影響を、メモリチップに構成された基準素子を設けることにより受けなくなるようにすることが提案される。このことに

より、メモリセルの情報を読み出すことができ、その際に固有インピーダンスの大きな変動が影響及ぼすことがない。このことは、メモリセルのセンス信号と基準セルの基準信号により比較回路で差信号を形成することによって行われる。

【0012】有利にはここでは比較回路は差動増幅器によって構成され、差動増幅器には抵抗が配属されており、この抵抗の一方の端部は差動増幅器の入力側と、他方の端部は出力側と接続されており、差動増幅器の入力側には抵抗が前置接続されている。

【0013】本発明の有利な実施例では、ワード線およびセンス線路が個別にアーススイッチによりアースと接続される。ここから得られる利点は、メモリセル全体により形成される多数の寄生素子が、信号検出に必要なワード線およびセンス線路を接地すると格段に低減することである。

【0014】有利には基準素子を次のように構成する。すなわち、電氣的ないし磁氣的特性がメモリセルの特性に適合し、必要な場合には同じ特性を変化することによりメモリセルの特性に調整する。その際にこれらはメモリセルフィールドの外に配置する。有利には基準素子は基準増幅回路と直接接続される。この基準増幅回路は基準セルの信号を基準信号に処理する。

【0015】メモリセルフィールド内にあるメモリセルの磁氣的ないし電氣的特性が非常に大きく変動する場合、本発明の改善形態では、近似的に同じ電氣的ないし磁氣的特性を有する関連のメモリセルの複数の異なるセル領域にメモリセルフィールドを分散し、セル領域に固有の基準セルないしは基準信号を割り当て、これにより読み出すべきメモリセルのセンス信号の差信号の信号品質および基準素子の信号品質が悪化しないようにする。

【0016】有利には基準素子が読み出すべきメモリセルとできるだけ同じ磁氣的ないしは電氣的特性を有するようにするため、これをメモリセルフィールド内にあるメモリセルとして構成することができる。従って有利には基準素子のセンス線路は基準増幅回路と接続される。このように任意に選択可能で空間的に可変に構成された基準素子は、有利には読み出すべきメモリ素子の近傍にあるように選択する。

【0017】本発明のとくに有利な実施例では、基準素子が同じワード線および同じセンス線路にない。すなわち、選択されたメモリセルに隣接するワード線および/またはセンス線路にある。有利にはこの場合、基準素子のワード線は比較回路と接続することができる。

【0018】本発明の別の実施例では、読み出すべきメモリセルに隣接する複数の基準素子が設けられており、読み出すべきメモリセルとは重ならないそれらのワード線は共通に比較回路と接続されている。従って別の実施例では、基準素子のセンス線路に別の電圧レベルを、読み出すべきメモリセルのワード線と同じように印加

する。

【0019】有利にはメモリセルフィールド上のメモリセルは次のように構成される。すなわち、基板にワード線路が取り付けられ、この上に第1の磁気材料層、磁気的トンネルバリア層および第2の磁気材料層が設けられ、その上にワード線路に交差してセンス線路が取り付けられる。層システムのコンダクタンスは、第1および第2の磁気材料層によって形成される二つの金属電極のフェルミエッジにおけるエネルギーレベル密度に比例する。電極が磁気的であることにより、電流はトンネルバリア層によって二つのスピンチャンネルに分解される。ここでこれらチャンネルのスピン方向は種々の形式の磁気層の磁化によって配向され、この磁気層は他の部分よりも強磁性である。ここでトンネル電流はそれぞれスピンチャンネルの1つで、このスピン方向に対するバリアの両側におけるエネルギーレベル密度に比例する。軟磁性層が強磁性層を基準にして磁化方向を変化すれば、同時に二つのスピンチャンネルに対する軟磁性層のエネルギーレベル密度も変化する。その結果、バリアを流れる全体電流も変化する。

【0020】同じように有利にはメモリセルは、第1の形式の磁気層、分離層、第2の形式の磁気層、および分離層、そしてこれらの構成の繰り返しという層シーケンスによって構成することができる。この層シーケンスは交差するセンス線路とワード線路との間に配置されている。磁化方向を回転することにより（例えば第1の形式の磁気層を第2の形式の磁気層に対して）、層シーケンスステープルの抵抗が変化する。第1および第2の形式の磁気層の平行磁化と、逆平行な配向との間の抵抗差はビット状態を表すことができる。

【0021】本発明の有利な改善形態は従属請求項に記載されている。

【0022】以下、本発明を複数の図面に基づいて詳細に説明する。

【0023】

【実施例】図1には、メモリセル1を有する磁気的メモリの断面が示されている。基板2にはセンス線路4が取り付けられており、このセンス線路4の上にはセンス線路4に対して垂直に配置されたワード線路3が設けられている。ワード線路3とセンス線路4との交点には、磁気材料7の第1の層、トンネルバリア層6、第2の磁気層5の層シーケンスが配置されており、これらはメモリセル1を形成する。二つの磁気層5と7は一方では情報の記憶のために、他方では基準層として用いる。以下、磁気層7は情報担体層であり、磁気層5は基準層であると仮定し、基準層は情報担体層7よりも軟磁性の材料からなる。

【0024】メモリセル1を書き込みおよび読み出すために、相応のワード線路3に電圧が印加され、所属のセンス線路4は少なくとも仮想的にアースされる。こ

こでメモリセルを読み出すために、基準層5の磁化方向を所期のように変化させ、情報担体層7の磁気的狀態を検出することができる。

【0025】層システムのコンダクタンスは、第1と第2の磁気材料層（5と7）により形成される二つの金属電極のフェルミエッジにおけるエネルギーレベル密度に比例し、この電極は一方ではワード線路3と、他方ではセンス線路4と接続されている。電極が磁気的であることによって、電流はトンネルバリア層6によって二つのスピンチャンネルに分解される。ここでこれらチャンネルのスピン方向は、一方の磁気層が他方の磁気層よりも強磁性である異なる形式の磁気層（5または7）の磁化に従って配向される。ここでスピンチャンネルのそれぞれ1つのトンネル電流は、このスピン方向に対するバリアの両側におけるエネルギーレベル密度に比例する。軟磁性層が強磁性層を基準にして磁化方向を変化すれば、同時に軟磁性層のエネルギーレベル密度は両方のスピンチャンネルに対して変化する。その結果、バリアを流れる全体電流が変化する。

【0026】図2は、磁気的メモリセル1の別の構成の横断面を示す。ここではメモリセルは層シーケンスステープルの形態であり、このステープルは、第1の形式の磁気層8、分離層9、第2の形式の磁気層10、そして再び分離層8、そしてこれら構成の繰り返しによって形成されている。磁気的メモリセル1を形成する層シーケンスステープルは交差するセンス線路4とワード線路3との間に配置される。ここでワード線路はセンス線路4に対して垂直に延在する。

【0027】図3に示された、マトリクス状の磁気的メモリの概略的ステープル計画図は、ワード線路3（数M）とセンス線路4（数N）との交点に配置されたメモリセル1を示す。センス線路4はそれぞれ書き込み電流スイッチ13Aを介して書き込み電流源3と、また読み出しスイッチ12Bを介してセンス線路増幅回路12と接続されている。ワード線路3には、メモリセル1を読み出すために電圧を印加することができる。例えばメモリセル1B、1Cおよび1Dにより直接取り囲まれたメモリセル1Aを読み出すべき場合、ワード線路3Aに読み出し電圧Vが印加され、書き込み電流スイッチ13Aが開放され、読み出しスイッチ12Bが閉鎖される。調整された信号電流1sは、読み出すべきメモリセル1Aのセンス線路4Aを介してセンス線路増幅回路12によって評価される。このセンス線路増幅回路の入力側12Cは仮想的にアースされている。ここで電流電圧変換器12Aが信号電流1sを検知すべき信号 ΔV に変換する変換器として用いられる。この信号電流1sは、二つの情報状態（1と0）にあるメモリセル1Aのインピーダンス差 $\Delta R/R$ に基づき情報を表す。ここでの欠点は、別のメモリセル1が読み出すべきメモリセル1Aに対して平行路を形成することである。入力側12Cが仮

想的にアースされておらず、インピーダンスを介して結合されれば、別のメモリセル1の平行路は全体で寄生全体インピーダンス Z_p となる。これは次式により計算的にシミュレートされる。

【0028】

【数1】

$$Z_p = \frac{(N-M-1)}{(M-1)(N-1)} R \approx \frac{1}{M-1} R; \text{ に対し } N \gg M$$

$$\Delta V = \frac{1}{1 + \frac{M-1}{M} \cdot \frac{\Delta R}{R}} \cdot \frac{\Delta R}{M} \cdot \frac{R \cdot I_{LFSF}}{M} \leq \frac{\Delta R}{M} \cdot \frac{R \cdot I_{LFSF}}{M}$$

【0031】Mがさらに大きくなると、セル1Aを読み出し過程のため再プログラミングするのに必要な電力は次式に従って増大する。

【0032】

【数3】

$$E_{LESL} = \left(\frac{M \Delta V}{\Delta R / R} \right)^2 \cdot \frac{M}{R} \Delta t$$

【0033】従ってパルス持続時間が10ns、ワード線路が約100、 $R=10^5 \Omega$ 、 $\Delta R/R=20\%$ 、読み出し過程当たり $\Delta V=50mV$ であれば、約5nJがメモリセルで散逸することとなる。このことは大規模な適用に対しては高すぎる値である。

【0034】読み出すべきメモリセル1Aのセンス線路4Aを仮想的にアースし、不必要なセンス線路4をすべてアーススイッチを介してアースすることにより、寄生インピーダンス網を形成し、従って寄生全体インピーダンスを形成する素子の数を格段に低減することができる。 E_{LESL} はこの場合、Mにだけ比例し、 M^2 には比例しない。

【0035】図4には、不必要なセンス線路4をアーススイッチ14を介して接地した際の、寄生ネットワークの概略的回路図が簡単に示されている。センス線路4Aのアーススイッチ14Aは開放されている。並列回路および直列回路から生じる寄生ネットワーク22と23はここでは次のように組成される。ネットワーク22は、ワード線路3A（2つの素子が図示されている）の $(M-1)$ 個のメモリセルインピーダンスの並列回路からなる。全体のネットワークは $(N-1)$ 倍で発生する。ここでサブネットワーク24はそれぞれ $(M-1)$ 個のメモリセルインピーダンスの並列回路からなる（2つの素子が図示されている）。センス線路増幅回路12に対する入力側は仮想的に接地されている。従って出力信号 ΔV は実質的に電流電圧変換器12Aのインピーダンス R と、読み出すべきメモリセル1Aのインピーダンス R_s およびその変化 ΔR_s により、次式に従って決められる。

【0036】

【数4】

【0029】ここでRは個々のメモリセル1のインピーダンスである。検知すべき信号 ΔV に対してこのことは、1ワード線路当たりわずか数100の素子数を前提とすれば、個々の絶縁されたメモリセルに対して信号幅が次式に従って少なくとも係数（約10）だけ低減することを意味する。

【0030】

【数5】

$$\Delta V = \frac{R_p}{R_s} \cdot \frac{\Delta R_s}{R_s} \cdot V$$

【0037】磁氣的メモリの製造プロセスに起因する、メモリセルの固有インピーダンス R_s の変動により、インピーダンスの絶対値検出を読み出すべきメモリセル1Aのメモリ状態の検出に使用することはできない。

【0038】読み出すべきメモリセル1Aのメモリ状態を検出する方法は、次の方法ステップとすることができ、ワード線路3Aに読み出し電圧Vを印加することにより、読み出すべきメモリセル1Aのインピーダンスを測定し、結果を中間記憶し、メモリセル1Aを所定のメモリ状態に再プログラミングし、メモリセル1Aの新たなインピーダンス測定により得られた結果を先行する結果と比較し、データ状態を検出する。しかしこの方法の欠点は、情報を読み出しの後に再度新たに書き込まなければならないことであり、読み出し過程は個々の順次処理すべきステップに分解される。情報の新たな書き込みは、メモリセルがいかなるハード/ソフト系からなる場合には必要ない。強磁性（軟磁性系とは、使用される磁気基準層が磁氣的に情報担体層よりも軟磁性である系を言う。この場合、磁気基準層の磁化方向が変化するので新たな書き込みが必要ない。

【0039】図5には、磁氣的メモリの概略的回路図が示されている。このメモリは、メモリセルフィールド11の外にある付加的な基準素子17、所属の基準増幅回路18、および比較回路16を有し、比較回路は基準増幅回路18の信号とセンス線路増幅回路12の信号とを相互に比較する。基準素子17の電氣的ないし磁氣的特性はメモリセル1の電氣的ないし磁氣的特性に適合されている。このことは、基準素子自体の変化（例えば素子の面積）または所属の抵抗ネットワークの適合または基準増幅回路18のインピーダンス18Aの適合により行われる。読み出し過程に対し、読み出すべきメモリセル1Aにはワード線路3Aを介して読み出し電圧Vが印加される。調整された信号電流はセンス線路4Aを介して取り出され、センス線路増幅回路12により評価される。このようにして得られたセンス信号Vsは基準増幅回路18の基準信号Vrと比較回路16によって比較される。比較回路はVsとVrの差信号、以下測定信号V

mと称する、を送出する。この回路の基本的考えは、メモリセル1の入力特性を、そのセンス信号V_sと、メモリセルの電気的ないし磁気的特性に相応する信号との差形成によって比較回路16による評価の際に除去することである。これによりメモリセルの磁化状態だけがインピーダンス測定の結果を定めるようになる。このことにより理想的な場合には、メモリセルの固有インピーダンスが製造に起因してチャージ毎に変動する、それどころかウェハのメモリ毎に変動するという障害となる影響が除去される。

【0040】図6には本発明の別の実施例が示されている。類似のインピーダンス特性を有するメモリセルが1つのセル領域19にまとめられる。このセル領域には固有の読み出し電圧V_iが配属される。またはセンス線路増幅回路12のインピーダンス12Aおよび、または基準増幅回路18に配属されたインピーダンス18Aが適合される。または基準素子17に種々の電圧V_gが印加される。これにより測定信号V_mには、メモリセル1の電気的ないしは磁気的特性の障害となる影響が近似的になくなる。有利にはこのために、所属の基準素子17を備えた基準増幅回路18が複数設けられる。セル領域19の定義と、基準特性の調整を行うために、磁気的メモリを測定しなければならない。磁気的メモリの打ち勝つべきばらつきはここでは限界にまで低減される。

【0041】図7は本発明の別の変形実施例を示す。ここでは基準素子がメモリセルフィールド11内に配置された基準セル1Rによって構成されている。基準セル1Rはここでは有利には、読み出すべきメモリセル1Aに隣接するメモリセルによって構成される。この基準セルの信号はセンス線路4Bを介して基準増幅回路18に供給される。基準セル1Rには読み出すべきメモリセル1Aのワード線路3Aによって読み出し電圧Vが印加される。メモリセル1Eはここでは基準セル1Rに対して等価のセルである。メモリ状態を検出するために、基準セル1Rが配置されたセンス線路4Bと読み出すべきメモリセル1Aのワード線路3Aとに読み出し電圧Vが印加される。

【0042】図9は、集積構成された基準素子1Rを有する磁気的メモリの概略的回路図を示す。メモリセル1D、1B、1Rはここでは読み出すべきメモリセル1Aに直接隣接している。測定検出に関与しないすべてのセンス線路およびワード線路4、3は閉じたアーススイッチ14を介して接地されている(14Aから14Dは開

放している)。ワード線路3Aとセンス線路4Bには読み出し電圧Vが印加される。読み出すべきメモリセル1Aの信号はセンス線路4Aを介して、読み出しスイッチ12Bを介して接続されたセンス線路増幅回路12に導かれる。センス線路増幅回路は出力側にセンス信号V_sを生成する。基準セル1Rの信号はワード線路3Bと基準スイッチ18Bを介して基準増幅回路18に導かれ、基準信号V_rが生成される。比較回路16は2つの信号V_rとV_sを処理して、測定信号V_mを出力する。

【0043】読み出すべきメモリセル1Aのセンス線路4Aにあるメモリセル1Bは両側で、基準増幅回路18とセンス線路増幅回路12の入力側によって仮想的に接地されており、従って基準素子1Rの信号に対して不利に作用しない。メモリセル1Dは両側でワード線路3Aとセンス線路4Bの書き込み電圧Vに接続されており、測定信号V_mに対して不利に作用しない。

【0044】図10は寄生素子の概略的回路図を示す。ここでは不必要なセンス線路4とワード線路3はアーススイッチ14を介して接地されている。寄生インピーダンス1Fは(N-2)倍の個数(ここでは2つだけが図示されている)ある。また寄生インピーダンス1Gは(M-2)倍の個数ある(ここでは2つだけが図示されている)。これらは並列回路として発生する。すでに述べたように両側で読み出し電圧Vと接続されたメモリセル1Dは信号に関与しない。同じように両側で基準増幅回路18とセンス線路増幅回路12の入力側を介して仮想接地されたメモリセル1Bも関与しない。回路からわかるように、基準信号V_rは専ら基準素子1Rのインピーダンスのみに依存する。

【0045】磁気的基準層5が関与しない、メモリセルと基準セルの2つの信号を比較する静的測定には次のような欠点がある。すなわち、メモリセルの情報担体層7の磁化方向、すなわちメモリ状態が同じである場合、2つのセルが論理1であるか0であるかを区別することができない。

【0046】動的測定では、メモリセルおよび/または基準セルのメモリ内容は測定信号V_mの最初の測定(イニシャル)の後に所定の状態に達するため上書きされる。そして第2の測定で測定信号V_mが検出される(ファイナル)。メモリ状態は次の表によって表すことができる。

【0047】

【表1】

メモリセル 1A データ内容	基準セル 1R データ内容	測定信号 V _m (イニシャル)	測定信号 V _m (ファイナル)
0	0	0	+1
1	0	+1	+1
0	1	-1	0
1	1	0	0

【0048】信号変化 ΔV_m を信号評価に利用すれば、正の符号を備えた信号だけが得られ(次の表の V_m (ファイル)と ΔV_m)、メモリセルおよび/または基準セルの磁化反転の前に符号検出による信号検出を行う必要

がなくなる、このことにより読み出し過程が促進される。

【0049】

【表2】

メモリセル 1A データ内容	基準セル 1R データ内容	測定信号 V_m (イニシャル)	測定信号 V_m (ファイル)	信号変化 ΔV_m (ΔV_s)
0	0	0	+1	+1
1	0	+1	+1	0
0	1	-1	0	+1
1	1	0	0	0

【0050】欠点は、メモリ素子の状態検出を順次連続して行わなければならないことである。

【0051】上に述べたようにメモリセルと基準セル(基準セルの信号 V_r はメモリ内容の検出に必要である)のメモリ状態を検出した後、信号 V_r を記憶し、基準セルの既知のメモリ状態を利用することによって、後続の各読み出し過程はこの情報により比較に対して行われる。メモリチップの均一性がこれを許容するなら、基準セルの基準信号 V_s とメモリ状態の検出は後続のすべての読み出し過程に対して1回で十分である。このことは高速の静的読み出しに相応する。

【0052】メモリセル1Aと基準セル1Rの情報が等しい場合の検出も、磁気基準層5を用いて行うことができ、測定信号 V_m を磁化反転の前後で記録する必要がない。

【0053】このような動的測定では、基準セル1Rの磁気基準層5(磁氣的に情報担体層7よりも軟磁性である)は、センス線路信号 I_r を基準セル1Rのセンス線路4Bに流すことにより切り替わる。ここで磁気基準層5の磁化方向は、基準セル1Rの情報担体層7の磁化方向に対して垂直であり、センス線路4Bを流れるセンス線路電流 I_r に対しても垂直に配向される。従って基準セル1Rのインピーダンスは基準セル1Rに記憶された情報に依存せず、メモリセルの電気的ないし磁気的特性を、基準セルに記憶された情報に依存しないで反映する。また V_m の符号は読み出すべきメモリセル1Aの情報内容を一義的に定める。ここでは、情報担体層の磁化方向はセンス線路に対して平行に延在していることが前提である。しかしこれがセンス線路に対して垂直に延在することも考えられる。しかしこの場合は、メモリセルの再プログラミングのために磁気基準層の“切替フィールド”をワード線路によって構成しなければならない。

【0054】この手段により、メモリセルをメモリ状態の検出後に再度新たに書き込む必要がない。または所定の状態にもたす必要がない。このことは大きな時間節約を意味する。

【0055】図11には、基準セル1Rのセンス線路4Bを通るセンス線路電流 I_r が明りょうに示されている。図示の実施例で、基準増幅回路18は1つだけ設け

られており、基準セル1Rのそれぞれのワード線路3はアクティブスイッチ20により基準増幅回路18と接続される。

【0056】図12は本発明の別の実施例を示す。図示の実施例では、メモリセル1のインピーダンスにおける横勾配が急峻であるのを補償するためにメモリセルフィールド11内で種々異なる基準セル1Hの複数の信号が平均化される。読み出すべきメモリセル1Aに対して対称かつ隣接して配置された基準セル1Hに、センス線路4Bおよび4Cを介してセンス線路電流スイッチ21によりセンス線路電流 I_r が印加される。これに基づいて基準セル1Hの磁気基準層5が中立的な磁化方向にもたされる。この実施例では4つの基準セル1Hの信号がワード線路3Bと3Cからアクティブスイッチ20を介して基準増幅回路18に供給される。基準増幅回路18はここでは、基準信号 V_r が正しいレベルになるよう適合されている。

【図面の簡単な説明】

【図1】交差するセンス線路とワード線路を備えた磁氣的メモリの概略的回路図である。

【図2】C P P素子の概略的断面図である。

【図3】評価回路の基本構成を備えた磁氣的メモリの構造を示す概略図である。

【図4】信号形成に重要な素子の概略的回路図である。

【図5】メモリセルフィールド外に基準素子を備えた評価回路を有する磁氣的メモリの概略的回路図である。

【図6】メモリセルフィールド外に基準素子を備えた評価回路を有する磁氣的メモリの概略的回路図であり、フィールド内には統合された磁氣的メモリセルを有する。

【図7】メモリセルフィールド外に基準素子を備えた評価回路を有する磁氣的メモリの概略的回路図であり、ここではセンス線路を介して基準信号を検出する。

【図8】メモリセルフィールド内に基準素子を備えた評価回路を有する磁氣的メモリの概略的回路図であり、ここではワード線路を介して基準信号を検出する。

【図9】ワード線路を介して基準信号を検出する評価回路の基本回路構成と、磁氣的メモリの概略的構造を示す図である。

【図10】基準セル素子を用いた、信号形成に重要な素

子の概略的回路図である。

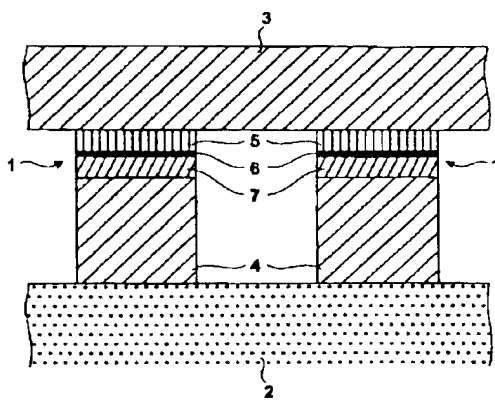
【図1 1】メモリセルフィールド内に基準素子を備えた評価回路を有する磁気的メモリの概略的回路図であり、ここでは基準信号をスイッチと接続されたワード線路を介して検出する。

【図1 2】評価回路と複数の基準素子をメモリフィールド内に有する磁気的メモリの概略的回路図であり、ここではワード線路を介して基準信号を検出する。

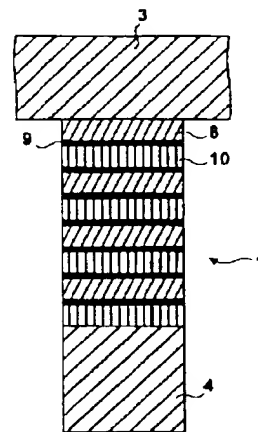
【符号の説明】

- 1 メモリセル
- 2 基板
- 3 ワード線路
- 4 センス線路
- 5、7 磁気層
- 6 トンネルバリア層
- 8 第1の形式の磁気層
- 9 分離層
- 10 第2の形式の磁気層

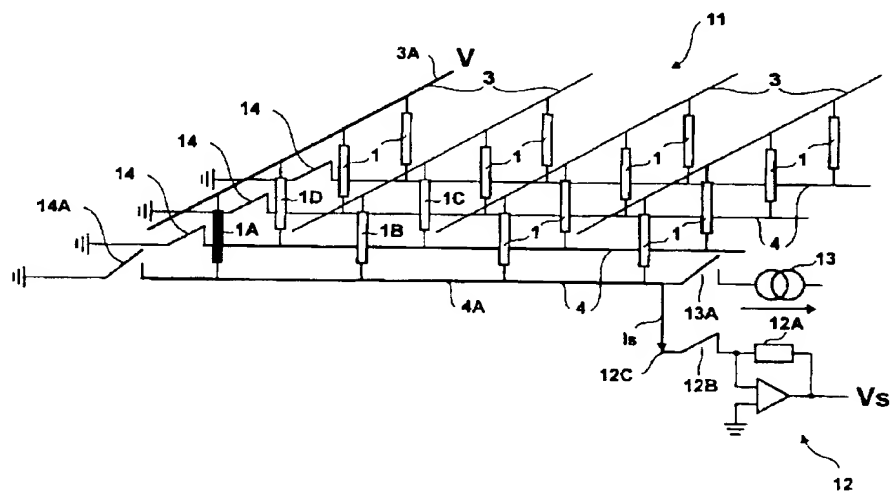
【図1】



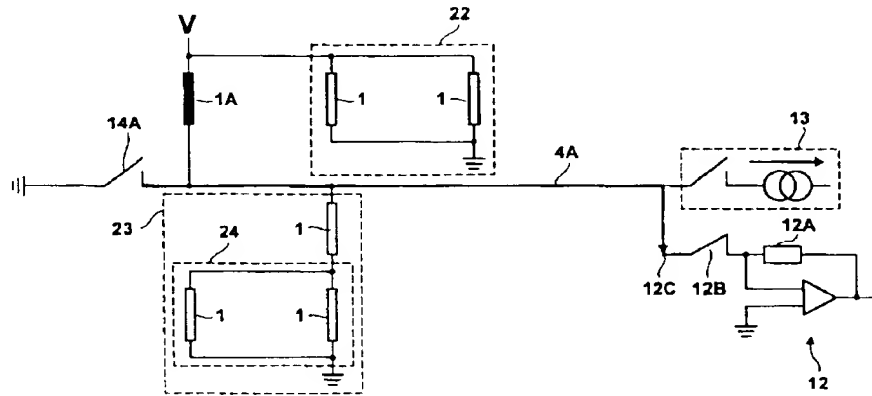
【図2】



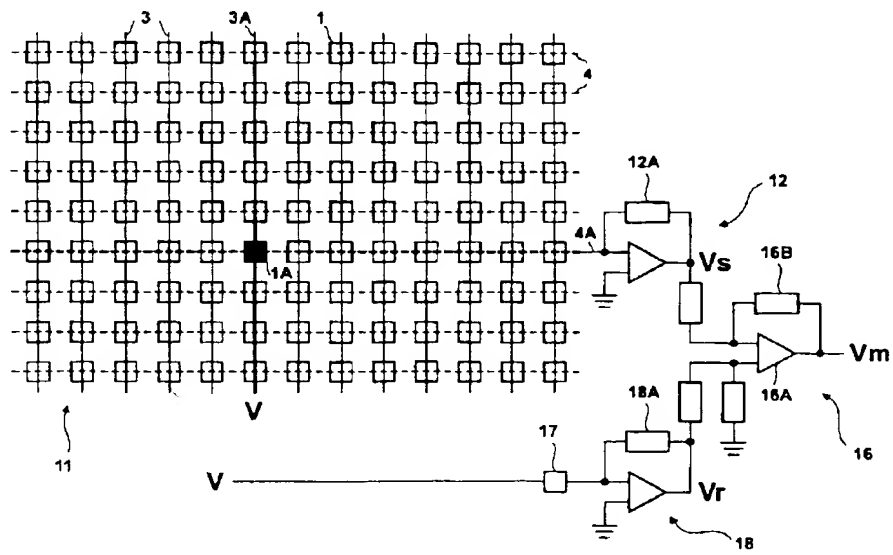
【図3】



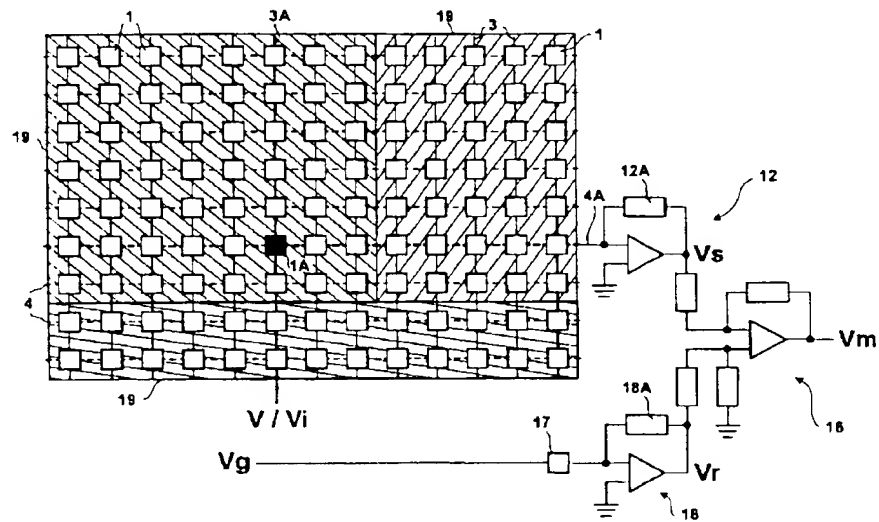
【図4】



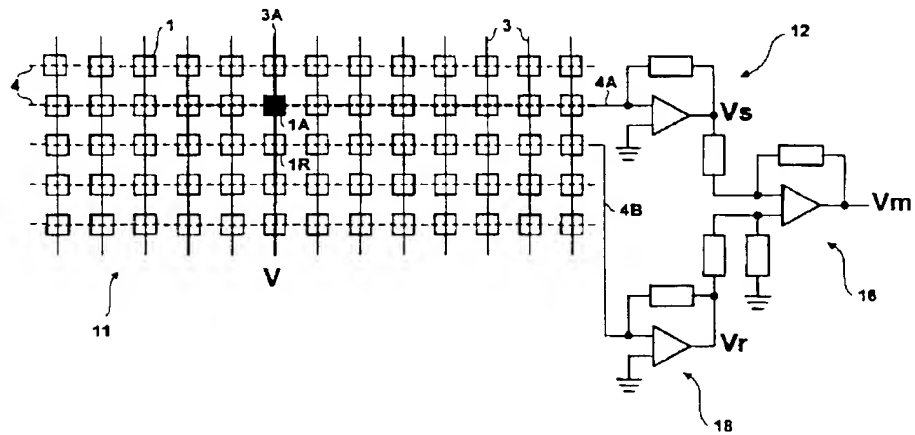
【図5】



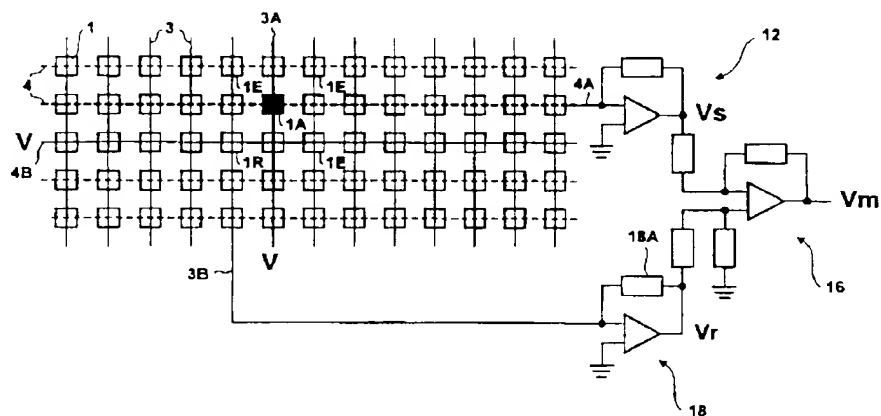
【図6】



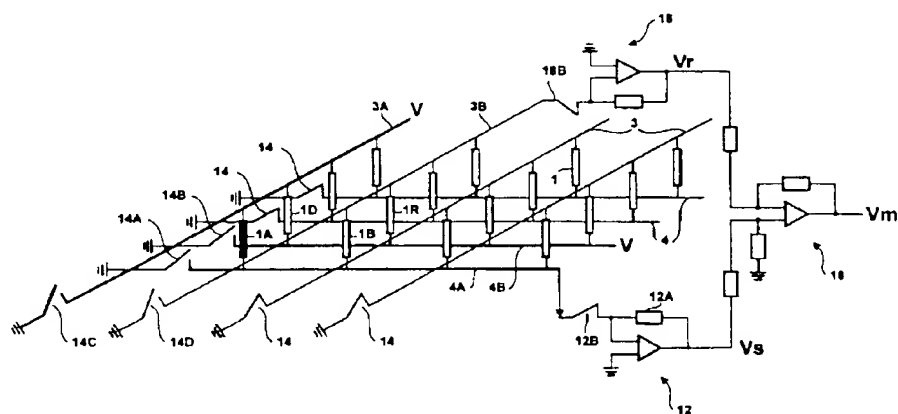
【図7】



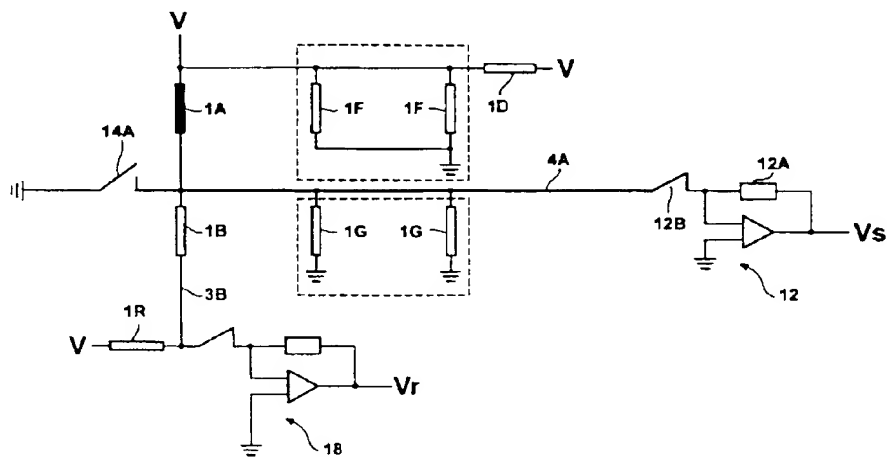
【図8】



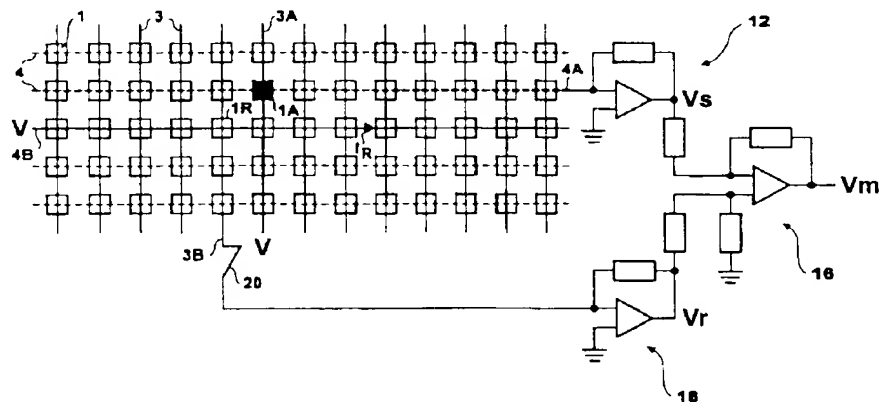
【図9】



【図10】



【図11】



【図12】

